



**汇编与接口课程设计**

个人实验报告

|  |  |
| --- | --- |
| 学 院 | 计算机学院 |
| 专 业 | 计算机科学与技术 |
| 指导老师 | 王娟 |
| 姓 名 | 周一鸣 |
| 联系方式 | 2633866263@qq.com |

二O二二 年 八 月

目 录

[第一章 项目简述 1](#_项目简述)

[第二章 设计目的 1](#_设计目的)

[第三章 设计环境 1](#_设计环境)

[第四章 设计与实现 1](#_设计与实现)

[第五章 测试 3](#_测试)

[第六章 问题及解决方法 4](#_问题及解决方法)

[第七章 心得体会及总结 4](#_心得体会及总结)

[第八章 参考文献有价值的资源推荐 4](#_参考文献有价值的资源推荐)

# 项目简述

为自己设计的单周期CPU写至少一个测试程序（MIPS汇编程序），记录运行结果，并将汇编转换成机器码。

# 设计目的

为自己设计的单周期CPU编写MIPS汇编代码，覆盖设计的MIPS指令子集。

# 设计环境

|  |  |
| --- | --- |
| 操作系统 | Windows10 |
| 编程语言 | Verilog HDL |
| EDA工具 | Vivado2019.2 |
| 汇编语言 | MIPS |
| 汇编程序编辑器 | mars4\_5 |

# 设计与实现

以下是代码实现：

.org 0x0

.set noat

.set noreorder

.set nomacro

.global \_start

\_start:

    addiu $t1, $t1, 10

    add $t2, $t1, $t1

    addu $t3, $t2, $t2

    lui $t4, 0x1001

    sw $t3, ($t4)

    lw $t5, ($t4)

    beq $t3, $t5, loop

    addi $t1, $t1, 100

loop:

    add $t2, $t2, $t2

    j loop

    addi $t1, $t1, 100

以下为相应的机器码：

memory\_initialization\_radix=16;

memory\_initialization\_vector=

2529000a,

01295020,

014a5821,

3c0c1001,

ad8b0000,

8d8d0000,

116d0001,

21290064,

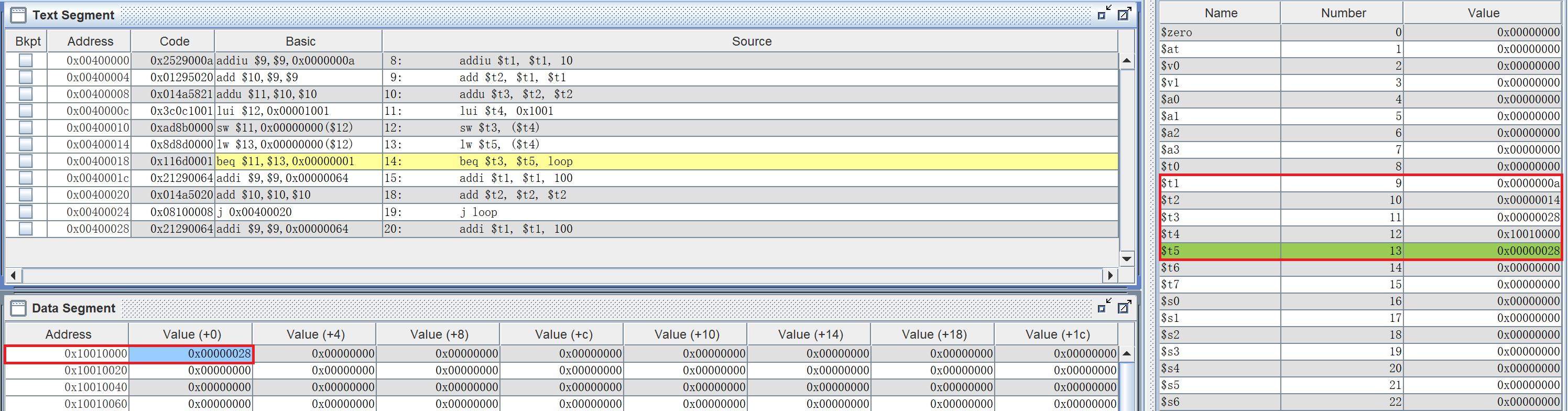
014a5020,

08100008,

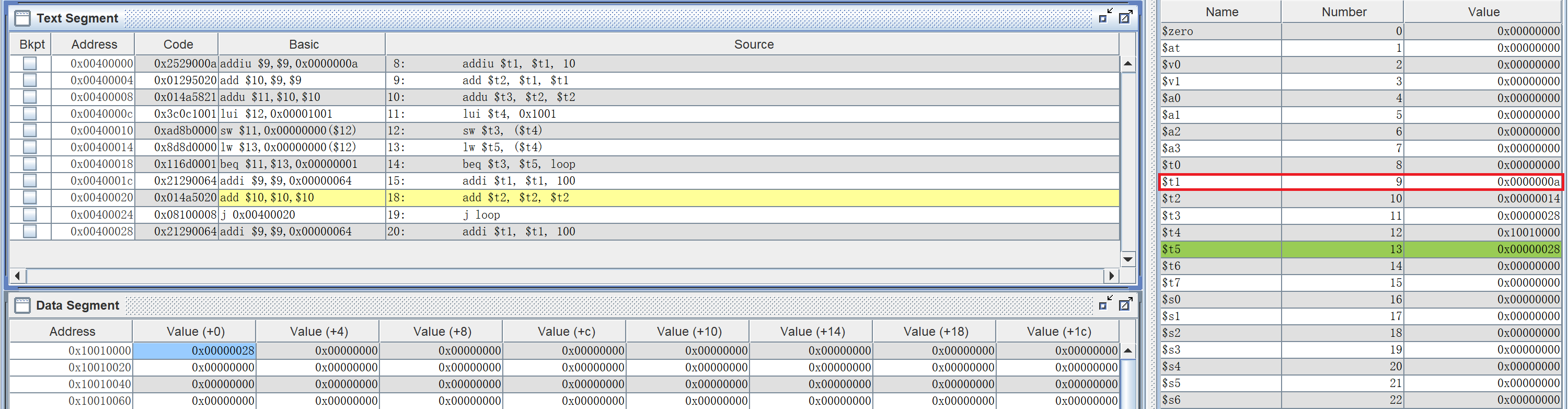
21290064;

# 测试

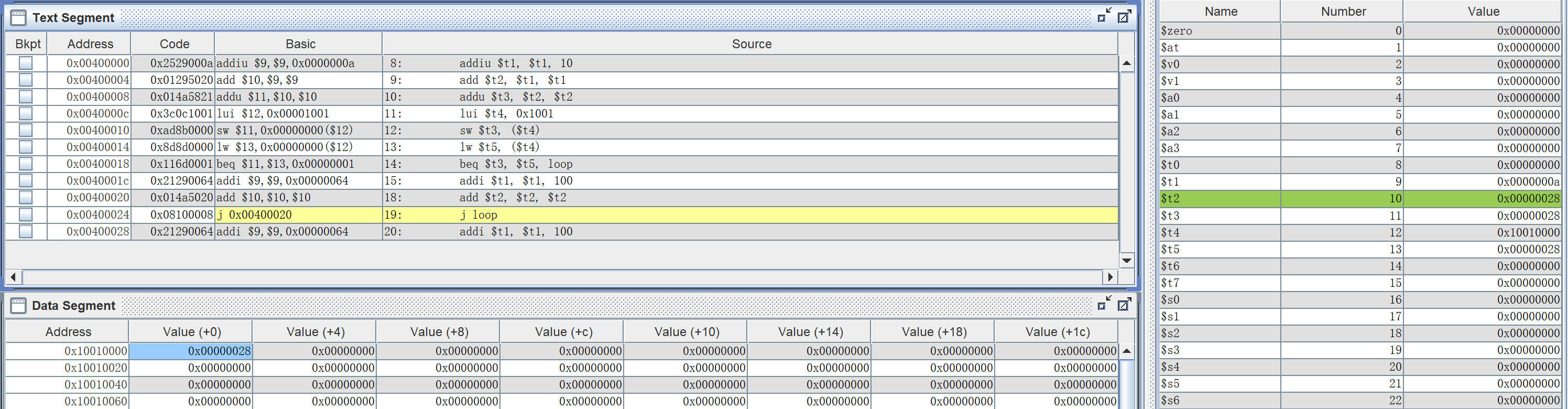
1. 前6条指令的执行结果正确，寄存器和内存数据段内容如下。



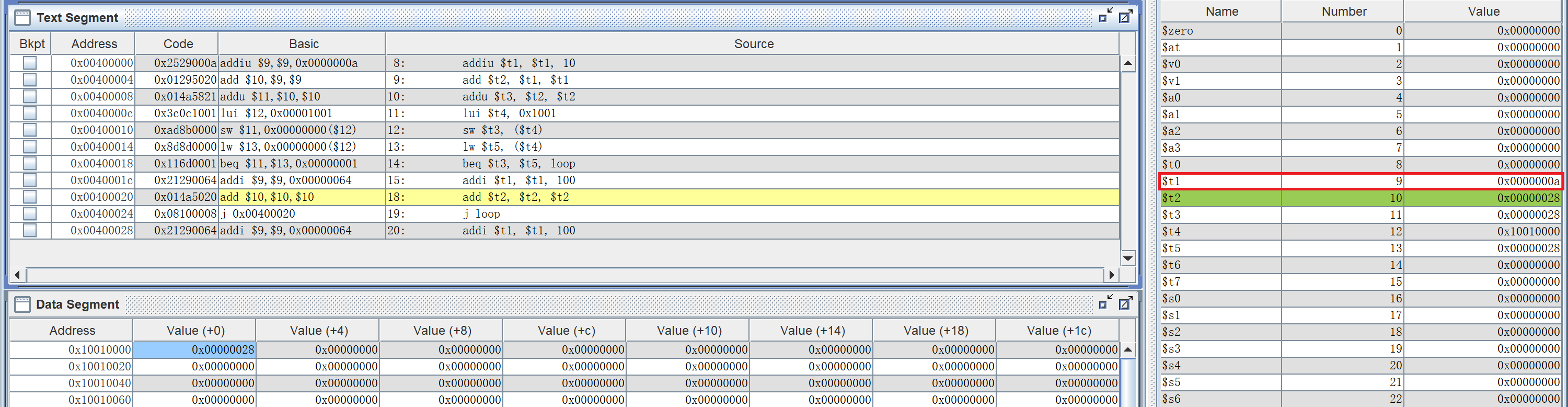
1. 成功跳过了addi $t1, $t1, 100，寄存器t1的值没有改变。



1. 寄存器t2的值倍加。



1. 成功跳过最后一条addi指令。



# 问题及解决方法

无

# 心得体会及总结

比较简单，和x86汇编的指令有很多相似的地方。

# 参考文献有价值的资源推荐

无